

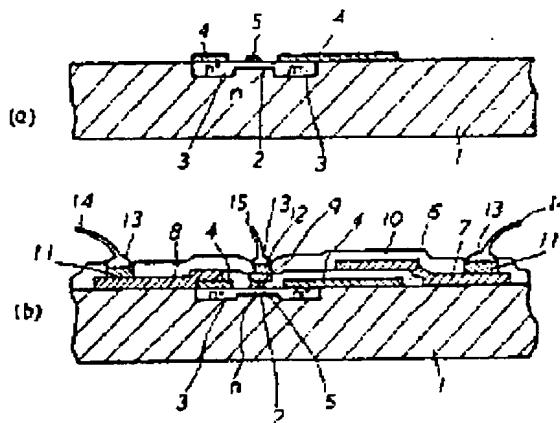
## III-V COMPOUND SEMICONDUCTOR DEVICE

4. W1203-02

Patent number: JP1072558  
Publication date: 1989-03-17  
Inventor: KUWATA TORU  
Applicant: SHARP KK  
Classification:  
- international: H01L21/60; H01L29/46; H01L29/80  
- european:  
Application number: JP19870229246 19870911  
Priority number(s): JP19870229246 19870911

## Abstract of JP1072558

**PURPOSE:** To obtain a bonding pad which can be favorably wire bonded even through a heat treatment process after an electrode metal layer is formed by sequentially laminating a thin Mo film layer and an Au layer, or Al layer, on an electrode layer which contains Au or a metal film containing Au as a main ingredient, formed on a III-V compound semiconductor substrate. **CONSTITUTION:** A thin Mo film layer, an Au layer or an Al layer are sequentially laminated on electrode layers 7-9 which contain Au or a metal film containing Au as a main ingredient, formed on a III-V compound semiconductor substrate 1. For example, source, drain electrodes made of laminated Au-Ge/Ni/ Au metal layers, the lower layer electrode 4 of a capacitor and a gate electrode 5 of laminated Ti/Pt/Au are formed in a circuit in which a GaAs FET and the capacitor are connected in series. Then, an Si-N interlayer insulating film 6 is formed, Ti and Au thin films are further laminated, and wirings and upper electrodes 7, 8 and 9 of the capacitor are formed. Thereafter, after a protective film 10 made of Si-N is formed, a position to be bonded is opened, Mo/Au are laminated in the opening, and bonding pads 11, 12 are formed.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

## ⑫ 公開特許公報 (A)

昭64-72558

⑤ Int. Cl. 4

識別記号

庁内整理番号

④ 公開 昭和64年(1989)3月17日

H 01 L 29/46  
21/60  
29/80G-7638-5F  
P-6918-5F

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 III-V族化合物半導体装置

⑭ 特 願 昭62-229246

⑮ 出 願 昭62(1987)9月11日

⑯ 発 明 者 桑 田 徹 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑰ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑱ 代 理 人 弁理士 杉山 毅至 外1名

## 明 細 書

## 1. 発明の名称

III-V族化合物半導体装置

## 2. 特許請求の範囲

1. III-V族化合物半導体基板上に形成された金 (Au) 又は Au を主成分とする金属膜を含む電極層の上に、モリブデン (Mo) 薄膜層と、Au 層又はアルミニウム (Al) 層が順次積層されていることを特徴とする III-V族化合物半導体装置。

2. 前記 Au 又は Au を主成分とする金属膜を含む電極層が、チタン (Ti) 層と Au 層を順次積層した層であることを特徴とする、特許請求の範囲第1項記載の III-V族化合物半導体装置。

3. 前記 Au 又は Au を主成分とする金属膜を含む電極層が、Au とゲルマニウム (Ge) の合金層、ニッケル層 (Ni) 及び Au 層を順次積層した層であることを特徴とする、特許請求の範囲第1項記載の III-V族化合物半導体装置。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は、III-V族化合物半導体基板上に設けられたボンディングパットの構成に関するものである。

## &lt;従来の技術&gt;

III-V族化合物半導体、特に GaAs 系半導体の電極の金属膜には、第3図と第5図に示したように、オーミック金属である Au-Ge 合金と Ni 及び Au 層を順次積層して合金化熱処理を行ないオーミック電極にしたもの。又は、配線用の電極膜には、Ti と Au 層を順次積層した金属膜が用いられていた。上記の電極金属はエッチングなどで所定の形状にされる。この電極金属を含む半導体の表面は、窒化シリコン (Si-N)、又は、酸化シリコン (Si-O) の保護膜によって外部から保護されていた。

従来の III-V族化合物半導体のボンディングパットは、上記のように形成した電極金属の所定の個所の保護膜をエッチング等で除去し、電極金属を露出させて作製していた。

# <発明が解決しようとする問題点>

第3図又は第5図に示したTi/Au電極金属又は、Au-Ge合金/Ni/Au電極層に於てはその電極層を作製した後、合金化熱処理、保護膜作製などの高温の熱処理工程があり、このため半導体基板からGa、又はInなどのⅢ族元素が、Ti/Au電極層に於てはTi層に移行し、更にAu層に拡散してAu層の表面に移行した。又、Au-Ge合金/Ni/Au電極層に於ても、前記のGa又はIn元素が拡散して表面のAu層に移行した。電極層の表面のボンディングパットに前記のGa、又は、In元素が移行してくると、Auのリード線をワイヤーボンディングしたときリード線の付着性が著しく悪くなるという問題があった。

第3図は、GaAs基板1上にFETとコンデンサを、従来技術により作製した一例であるが、これについて説明する。(第2図は、回路図である。)半絶縁性GaAs基板上に、Siをイオン注入してn領域2とn<sup>+</sup>領域3を形成し、続いてAu-Ge/Ni/Auの積層オーミック電極金属

GaAs系の化合物半導体基板上に作製したTi/Au又はAu-Ge/Ni/Au電極金属層には、その電極金属層作成後、半導体装置を製造する熱処理工程で基板からGaやIn元素が拡散しボンディングパット部に移行して金細線によるワイヤーボンディングの付着を悪くしていた。

本発明は、上記のような問題点を解消し、ボンディングパット部を電極金属層作製した後、熱処理工程を経ても、良好なワイヤーボンディングができるボンディングパットを提供するものである。

## <問題点を解決するための手段>

本発明の目的を達成するために、Ⅲ-V族化合物半導体基板上に作製された配線用、又は、オーミック電極層のボンディングパットとなる個所にはMo薄膜層とAu層又は、Al層を順次積層し、熱処理(シンタリング)によってその下の電極層との密着性を良好にした。

## <作 用>

配線用、又は、オーミック電極層のボンディングパットとなる個所の上にMo/Au又はAlのボ

ンディングパット部を形成する。このFETの表面をSi-N膜6で被覆する。ソース又はドレインの電極金属層4に直接接続するTi/Au電極金属層8と、他の一方の電極金属層4とSi-N膜6を介して一方の電極となりコンデンサ18を構成するTi/Au電極金属層7を作製する。

続いてGaAs基板1を300℃附近に加熱し、CVDによりSi-N膜10で表面を被覆する。この工程により前記のTi/Au電極金属層7、8も熱処理を受けた状態になり、ボンディングパット部19にGaAs基板1からGa元素が拡散してそのAu表面に移行してくる。ボンディングパット19の表面にGa元素が移行してくるとAu細線14のヘッド部13とボンディングパットの機械的、及び、電気的付着性は非常に悪くなり、場合によっては歩留りが50~60%になることもあった。

# <発明が解決しようとする問題点>

ンディングパットを作製すると、熱処理のときⅢ-V族基板から電極層に拡散するGa、InなどのⅢ族元素に対し、Mo薄膜層が、拡散バリアの作用をする。従ってMo薄膜層上に形成されたAu又は、Al層へはGa、In等のⅢ族元素が拡散して移行するのが阻止されるので、本発明のワイヤーボンディングパットは良好なボンディング性を維持することができる。

## <実施例>

本発明の実施例を図面を参照しながら説明する。

### 第1実施例

本発明は、一実施例は第2図に回路図を示したGaAs FET 15とコンデンサ18を直列に接続した回路で、その構成は第1図(b)に示したように配線用電極7、8にボンディングパット部11を積層している。

本実施例について、第1図を参照しながら説明する。

第1図(a)のように、半絶縁性のGaAs基板1の一方の主面にシリコン(Si)原子をイオン注

入し、Si注入の濃度差により、チャンネル部のn層2とソース、ドレイン部のn<sup>+</sup>層3になるよう形成する。続いてその表面をSi-N保護膜で被覆し、不活性ガス中で熱処理し、Siイオン注入したn層2と、n<sup>+</sup>層3を活性化する。上記の活性化後、前記のSi-N膜をエッチングで全面除去し、続いて、スパッタリングによりAu-Ge薄膜層(～1500Å)、Ni薄膜層(～800Å)、Au薄膜層(～1000Å)を順次積層する。積層したAu-Ge/Ni/Au金属層は、ホットエッチング法により所定の電極となる部分以外は除去した後熱処理によりn<sup>+</sup>層とオーミック接合したソース及びドレイン電極とコンデンサ18の下層電極部4にする。又、n層2の上にTi(～1000Å)、Pt(～1000Å)、Au(4000Å)を順次積層しゲート電極にする。

続いて、第2図(b)に示したように、基板1を250℃～300℃に保持しCVDによりSi-N層間絶縁膜6を形成する。更にTi(～1000Å)とAu(6000Å)の薄膜を積層して、配線用

をAu薄膜の場合について説明したが、Alを用いてMo/Alボンディングパット層にしても同様にボンディングの特性がよくなることが確認されている。

## 第2実施例

本実施例は第4図に示したように、GaAsホール素子のオーミック電極4にボンディングパット部11を積層している。

以下、第4図を参照しながら説明する。

半絶縁性のGaAs基板1の一主面の所定領域にSi元素を所定量イオン注入し、活性化の熱処理を行い、n型能動層とn<sup>+</sup>電極層を形成する。続いてSi-N保護膜6をCVD法により堆積する。オーミック電極4を形成する個所のSi-N膜6をホットエッチングで除去し、開口部を作る。上記のエッチングに用いたホットレジストを残してAu-Ge(1500Å)、Ni(800Å)、Au(2000Å)の薄膜を順次積層し、前記のホットレジストを利用してリフトオフ法により電極4を形成する。パターニングした電極4は、合金化の熱処理により基

とコンデンサの上層電極7、8及び9を作製する。

更にSi-Nからなる保護膜を250℃～300℃の温度に於て、CVD法により形成する。この熱処理工程のとき前記のTi/Au積層薄膜の配線金属層は熱処理されたのと同じ影響がある。更に引続いて、ボンディングを行なう所定の個所を開口し、開口部にMo(～2000Å)/Au(～4000Å)を積層し、ボンディングパット11、12を形成する。

上記の工程後、この半導体装置は300℃～350℃で数分間加熱し、シンタリング処理をする。この処理により、Mo/Au電極は稠密になり、下部との密着性が向上する。又、ゲート電極のTi/Pt/Au層5と基板1との電気的特性、特に逆耐圧特性は大幅に改善される。

本半導体装置は実装工程に於てMo/Auボンディングパット12、13に、Au細線14、15がネールヘッド13によってボンディングされる。このときのワイヤボンディングの歩留りは非常に高く100%に近かった。

上記の本実施例では、ボンディングパットの表面

板1とオーミック接合になる。

続いてSi-N膜10を堆積し、ボンディングパットのなる個所のみ開口し、Mo(～2000Å)とAu(4000Å)の薄膜を順次積層し、前記電極4と同じリフトオフ法、又は、エッチング法によりパターニングしてボンディングパット部11を形成する。ボンディングパット部11形成後、電極層間の密着性を高めるため250℃から350℃の温度範囲で熱処理を行なう。このGaAsホール素子も、実装のとき金の細線を、ボンディングパット部11にワイヤボンディングするが、ボンディングは、基板から拡散してくるGaを阻止するMo薄膜バリアの上の金属へ行なわれるので、機械的にも電気的にも充分な付着性が得られた。

以上のように、本発明のMo薄膜バリア層は、Moが高融点金属で、かつ、熱的にも安定であるので電極形成後の熱処理工程に於ても、下層のTi/Au又は、Au-Ge/Ni/Au電極層と合金反応を起すことなく、初期の電気的特性を保つことができる。従って実施例以外にも、例えば

GaAsのMES-FETのゲート金属に使われるAlやTi系金属電極の上にも適用することができる。

<効果>

本発明は、Mo層のバリヤ効果によりボンディングパット形成後の熱処理工程に於ても、基板のGaやIn等の3族元素がボンディング部へ拡散するのを阻止している。従ってII-V族化合物半導体のIC、FET及びホール素子等のボンディングパットに使用すれば、特性の良いワイヤーボンディングを行なうことができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す断面図、第2図は、第1図の実施例の回路図、第3図は第1図の実施例に対応する従来例の断面図、第4図は本発明の第2の一実施例を示す断面図、第5図は、第4図の実施例に対応する従来例の断面図。

1は半絶縁性GaAs基板、2はn層、3はn<sup>+</sup>層、4はAu-Ge/Ni/Au電極層、5はTi/Pt/Auゲート電極層、6、10は

Si-N膜、7、8、9はTi/Au電極層、11、12はMo/Auボンディングパット部、13は金細線のボンディング部、14、15はボンディング用金細線、17はFET、18はコンデンサ。

代理人 弁理士 杉山 毅 至(他1名)

